
Étude et réalisation de PCB.

Contact

Nom : Pascal Harmeling
Bureau : S.136
Téléphone : 04.366.26.73
Email : pascal.harmeling@ulg.ac.be

Réalisation de PCB

- 1 Quelques définitions
- 2 Propriétés électriques
- 3 Compatibilité ElectroMagnétique (CEM)
- 4 Les logiciels de routage
- 5 Règles de dessin

Quelques définitions

Quelques définitions

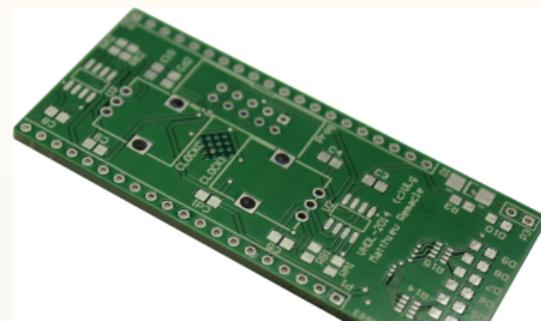
P.C.B., Printed Circuit Board, est une platine, rigide ou flexible, qui assure l'interconnexion entre un ensemble de composants électroniques.

Quelques définitions

P.C.B., Printed Circuit Board, est une platine, rigide ou flexible, qui assure l'interconnexion entre un ensemble de composants électroniques.

Types de supports rigides isolants.

- ▶ FR3 - **FR4** - FR5 -FR6 (Flame Resistant).
 - Résistance de surface : $> 2.10^5 \Omega$.
 - Rigidité diélectrique : 20kV/mm.
 - Épaisseur typique : 1.25 à 2.54mm.
 - ▶ résine polyimide (GHz).
 - ▶ teflon (GHZ).

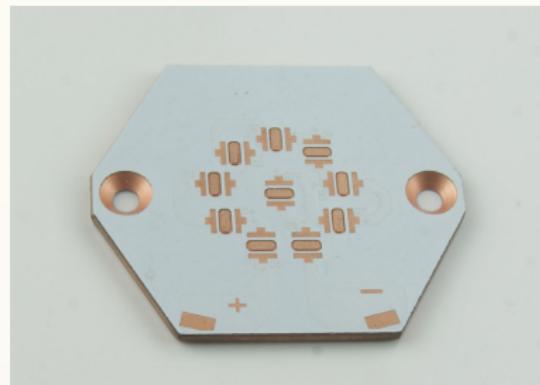


Quelques définitions

P.C.B., Printed Circuit Board, est une platine, rigide ou flexible, qui assure l'interconnexion entre un ensemble de composants électroniques.

Types de supports rigides métalliques.

- ▶ aluminium - cuivre
 - permettre une dissipation thermique importante.

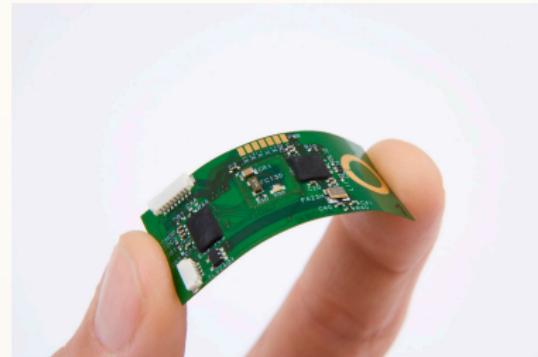


Quelques définitions

P.C.B., Printed Circuit Board, est une platine, rigide ou flexible, qui assure l'interconnexion entre un ensemble de composants électroniques.

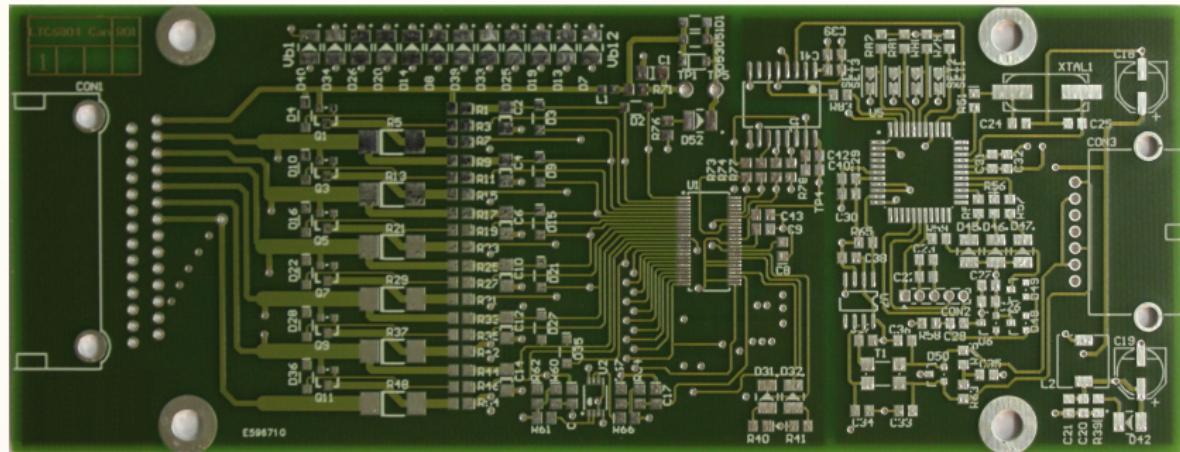
Types de supports flexibles.

- ▶ Kapton (polyimide).
- ▶ Polyester.
- ▶ Film de PEEK.
- ▶ Film de teflon.



Quelques définitions

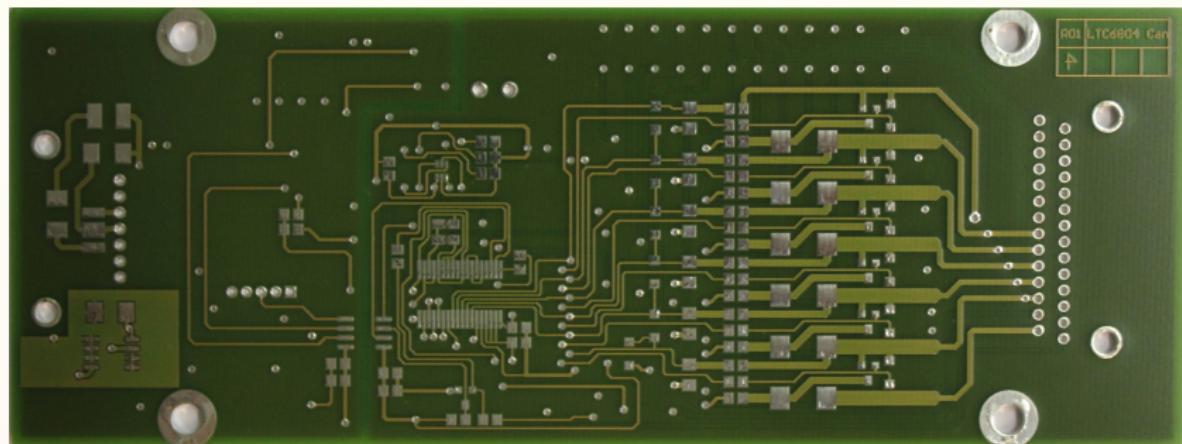
P.C.B., Printed Circuit Board, est une platine, rigide ou flexible, qui assure l'interconnexion entre un ensemble de composants électroniques.



Top côté du P.C.B. où sont placés les composants traversants.

Quelques définitions

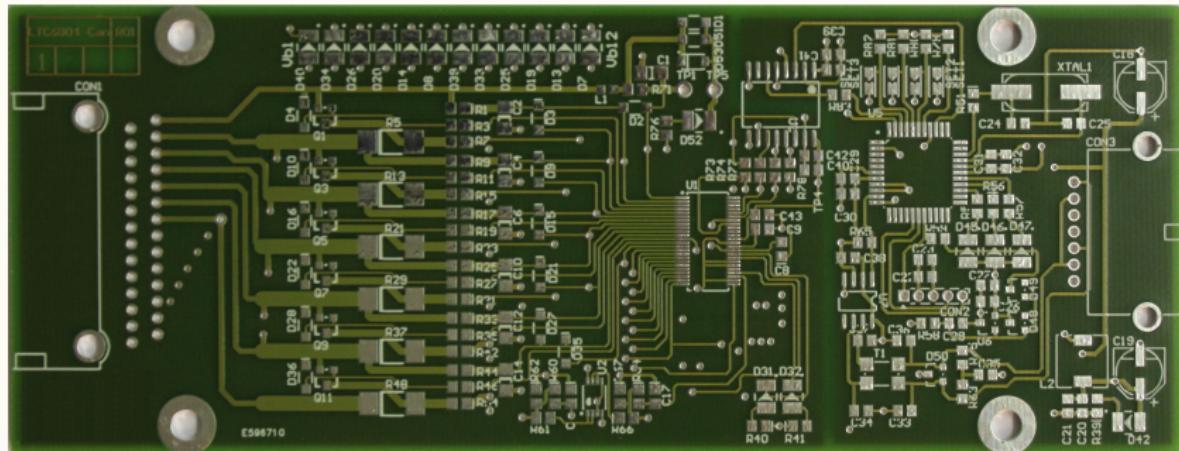
P.C.B., Printed Circuit Board, est une platine, rigide ou flexible, qui assure l'interconnexion entre un ensemble de composants électroniques.



Bottom côté du P.C.B. où l'on soude les composants traversants.

Quelques définitions

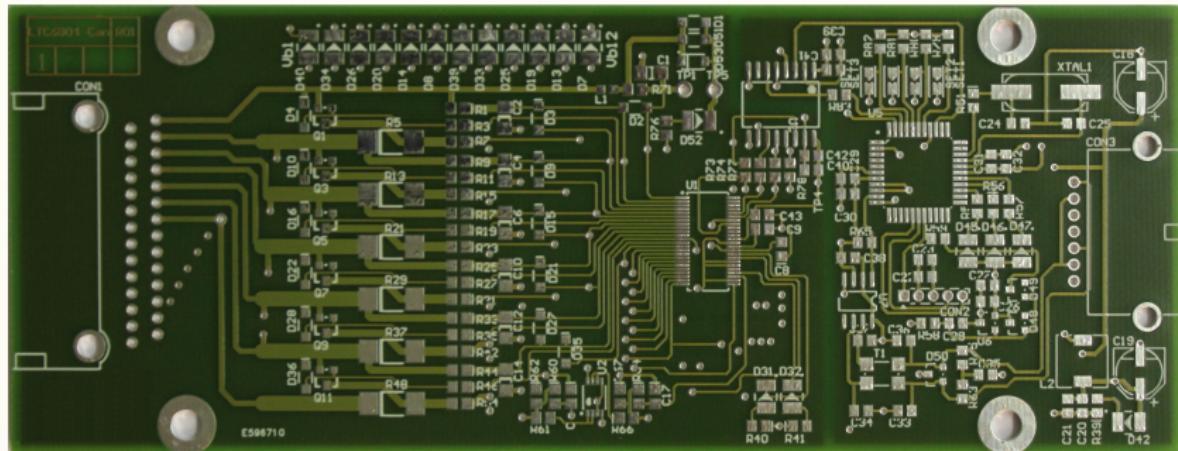
P.C.B., Printed Circuit Board, est une platine, rigide ou flexible, qui assure l'interconnexion entre un ensemble de composants électroniques.



Une pastille assure la jonction entre une des pattes du composant et une piste. Elle peut être un point de fixation.

Quelques définitions

P.C.B., Printed Circuit Board, est une platine, rigide ou flexible, qui assure l'interconnexion entre un ensemble de composants électroniques.

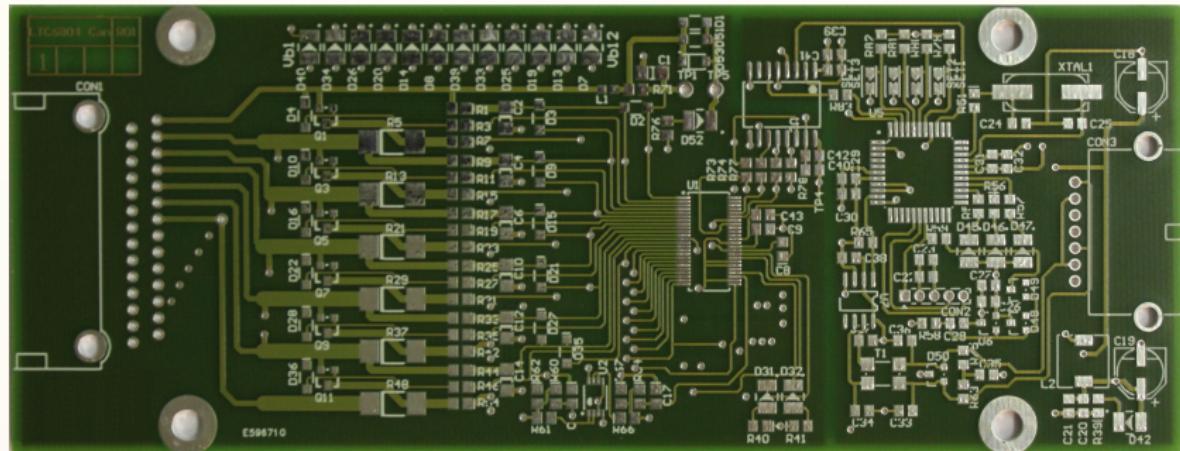


Une pastille assure la jonction entre une des pattes du composant et une piste. Elle peut être un point de fixation.

Une piste est la liaison physique entre plusieurs pastilles et (ou) vias.

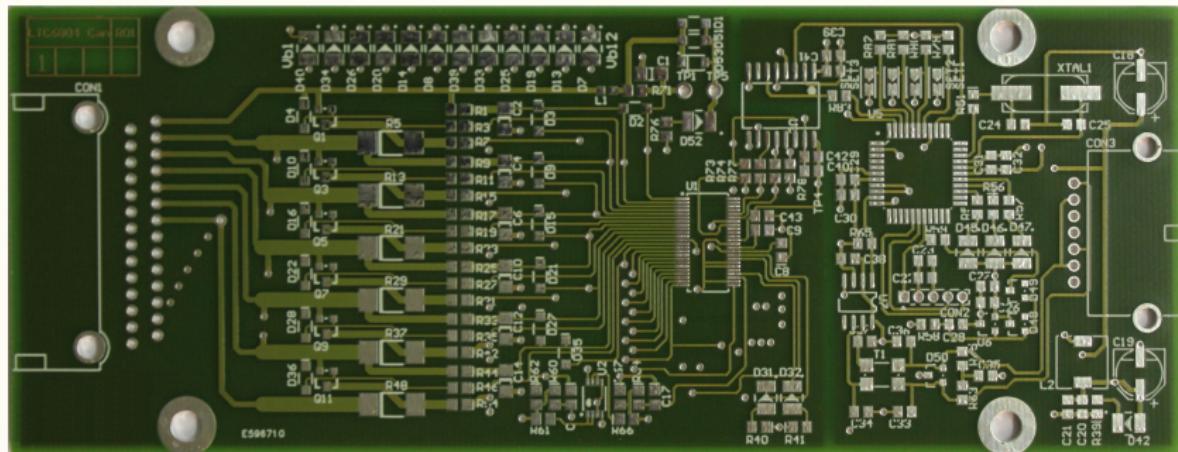
Quelques définitions

P.C.B., Printed Circuit Board, est une platine, rigide ou flexible, qui assure l'interconnexion entre un ensemble de composants électroniques.



Quelques définitions

P.C.B., Printed Circuit Board, est une platine, rigide ou flexible, qui assure l'interconnexion entre un ensemble de composants électroniques.



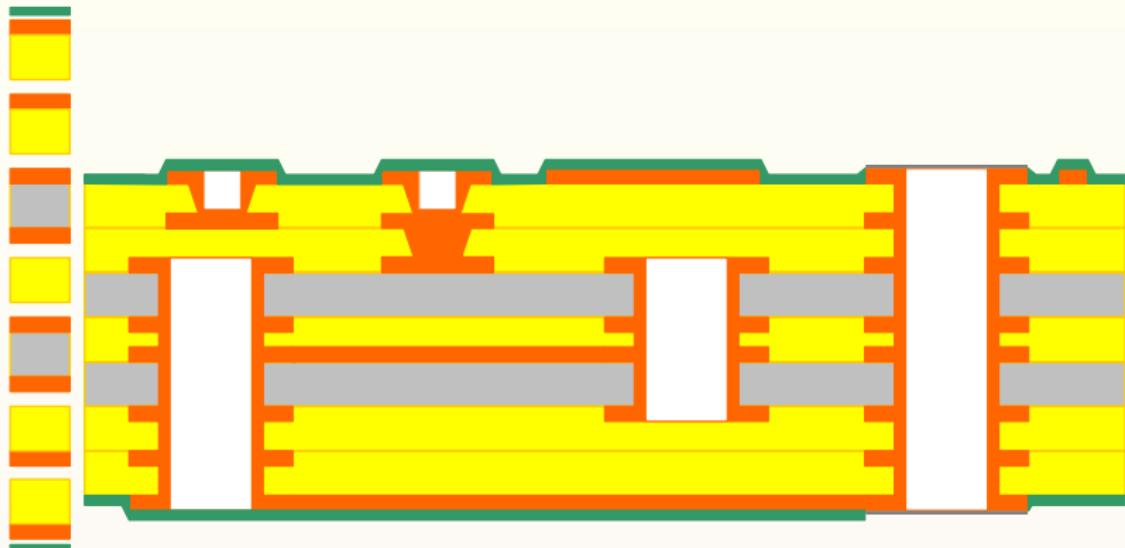
Une pastille assure la jonction entre une des pattes du composant et une piste. Elle peut être un point de fixation.

Une piste est la liaison physique entre plusieurs pastilles et (ou) vias.

Un via permet la connexion entre les couches du PCB (diamètre $\geq 150\mu\text{m}$).

Un **micro-via** permet la connexion entre les couches du PCB (diamètre < 150µm).

Quelques définitions

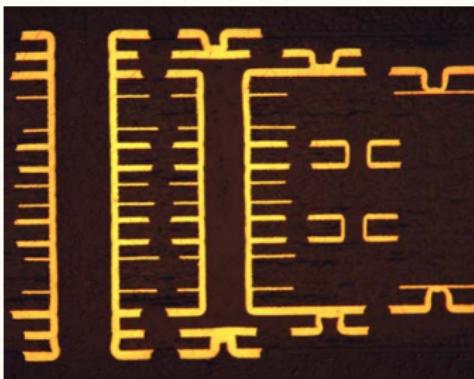
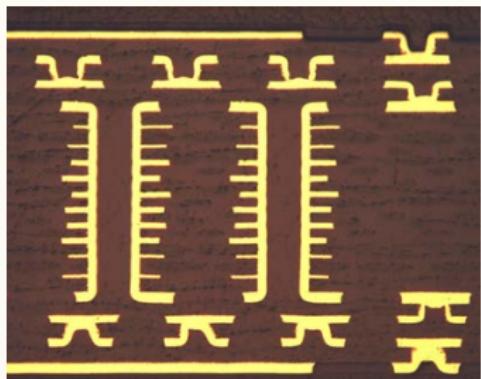
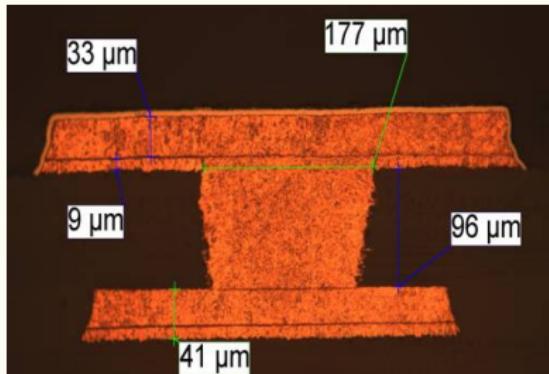


Dépôt d'une couche d'étain, d'or ou argent sur les pastilles.

Dépôt d'un vernis-épargne.

P.C.B. 8 couches finalisé.

Quelques définitions



Doc : ACB Belgium

<http://www.acb.be/index.php/en/services-2/pcb-production>

Quelques définitions

Liens sur la fabrication de PCB

https://www.youtube.com/watch?v=sIV0icM_Ujo

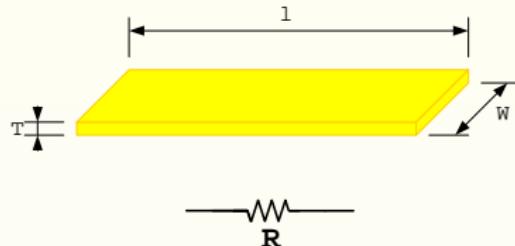
<https://www.youtube.com/watch?v=59Io2Moz8G4>

Lien sur le montage d'un PCB

<https://www.youtube.com/watch?v=2qk5vxWY46A>

Propriétés électriques

Propriétés électriques



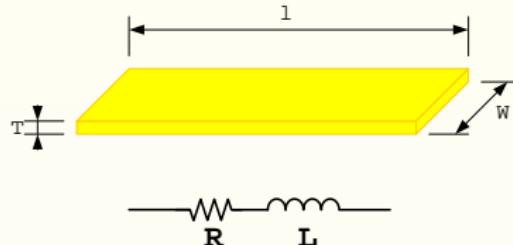
$$R = \rho \times \frac{l}{T \times W}$$

ρ : la résistivité en ohm-mètre ($\Omega \cdot \text{m}$) - cuivre : $17 \cdot 10^{-9} \Omega \cdot \text{m}$

Pour : $T = 35\mu\text{m}$ et $l=10\text{mm}$

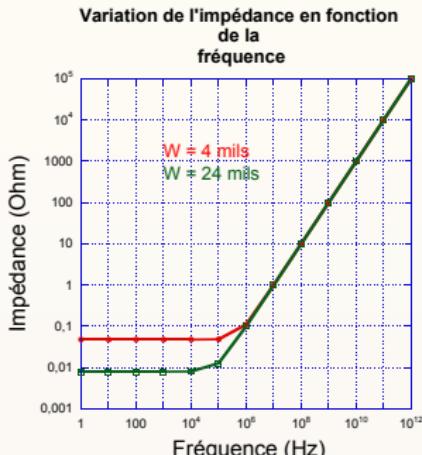
width (mils)	R(mΩ)
4	47.8
8	23.9
16	11.9
24	8.0
30	6.4

Propriétés électriques



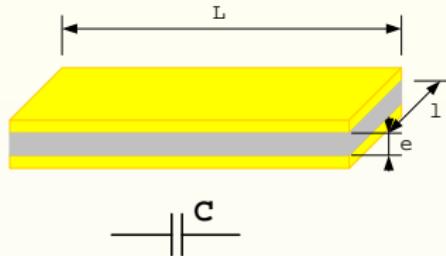
$$Z(\Omega) = \sqrt{R^2 + (\omega L)^2}$$

un conducteur simple $L \approx 10\text{nH/cm}$



Au delà de 100kHz
 $\omega L \gg R$

Propriétés électriques



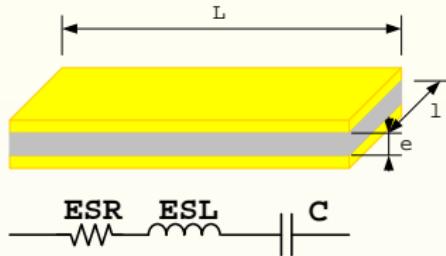
$$C(\text{Farad}) = \epsilon \frac{L \cdot l}{e}$$

avec la permittivité du diélectrique ϵ

$$\epsilon = \epsilon_0 \cdot \epsilon_r$$

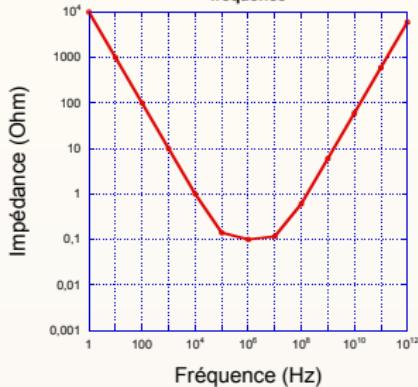
En pratique nous n'avons jamais un condensateur idéal.

Propriétés électriques



$$Z(\Omega) = \sqrt{R^2 + (\omega L - \frac{1}{\omega C})^2}$$

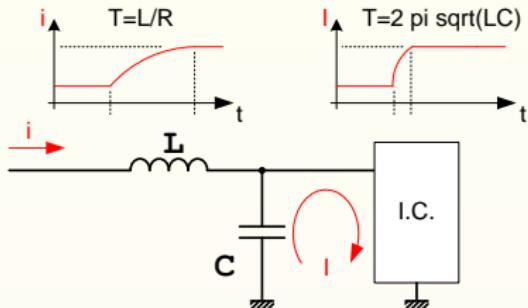
Variation de l'impédance en fonction
de la
fréquence



Au delà d'une certaine fréquence
 $\omega L \ggg \frac{1}{\omega C}$

Propriétés électriques

Utilisation d'un condensateur de découplage



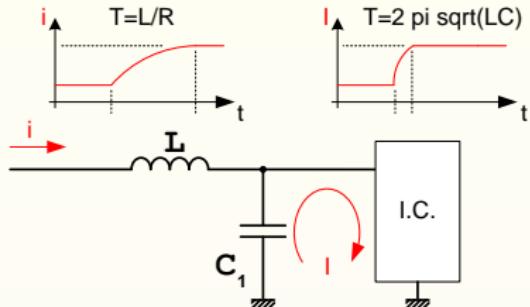
- ▶ Constitue une réserve d'énergie.
- ▶ Filtre les perturbations haute fréquence.

Valeurs typiques de C :

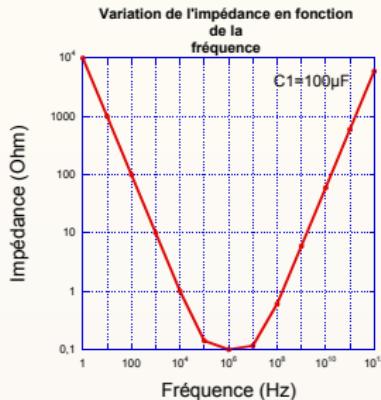
10 à $1\mu F$	signaux basse fréquence	$< 100kHz$
100 à $10 nF$	signaux moyenne fréquence	$100kHz...10MHz$
1 nF	signaux haute fréquence	$>10MHz$

Propriétés électriques

Utilisation de plusieurs condensateurs de découplage



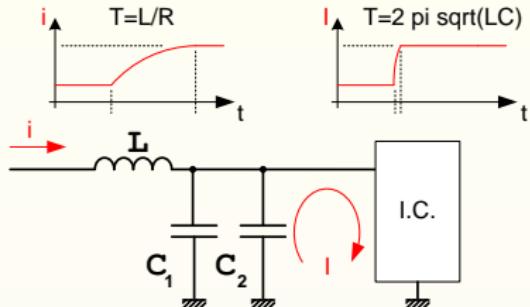
On a $C_1 = 100\mu\text{F}$.



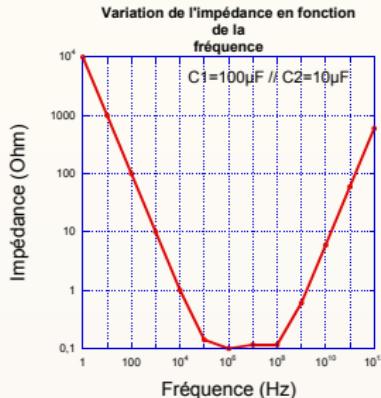
Amélioration du comportement capacitif

Propriétés électriques

Utilisation de plusieurs condensateurs de découplage



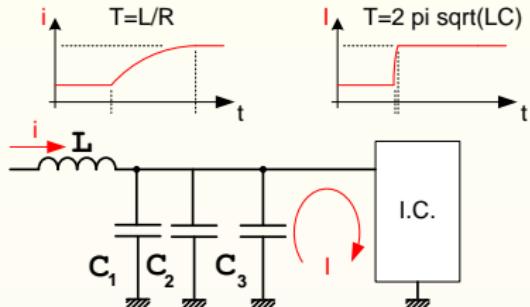
On a $C_1 = 100\mu\text{F}$ et $C_2 = 10\mu\text{F}$.



Amélioration du comportement capacitif

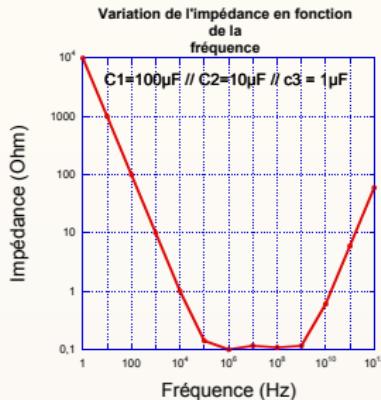
Propriétés électriques

Utilisation de plusieurs condensateurs de découplage



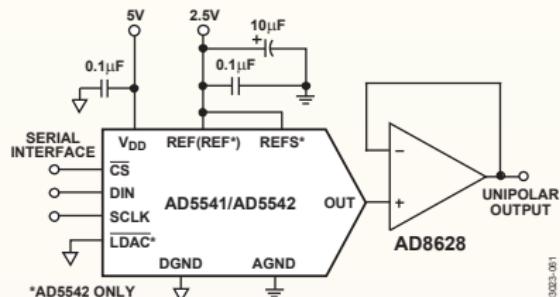
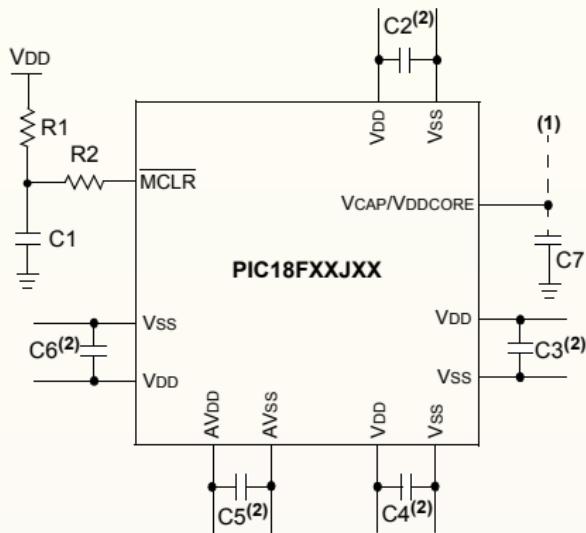
On a $C_1 = 100\mu\text{F}$, $C_2 = 10\mu\text{F}$ et $C_3 = 1\mu\text{F}$.

Amélioration du comportement capacitif



Propriétés électriques

Exemples



Key (all values are recommendations):

C1 through C6: 0.1 μF, 20V ceramic

C7: 10 μF, 6.3V or greater, tantalum or ceramic

Compatibilité ElectroMagnétique (CEM)

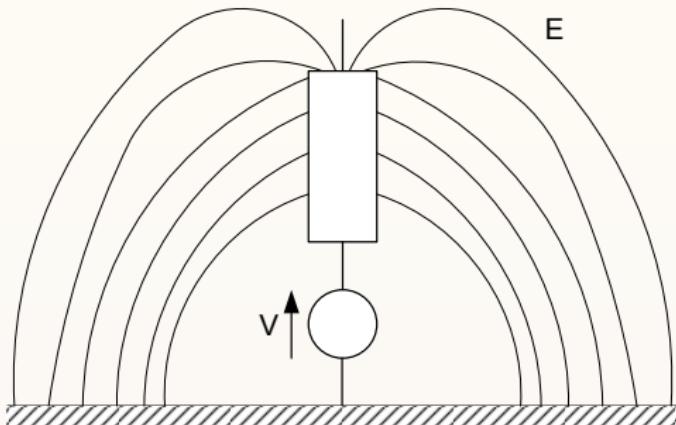
Compatibilité ElectroMagnétique (CEM)

CEM : Compatibilité ElectroMagnétique.

- ▶ Étudier les perturbations électromagnétiques générées par un circuit électronique.
- ▶ Vérifier l'immunité d'un circuit électronique vis à vis des perturbations électromagnétiques.

Types de perturbation :

- Champ électrique



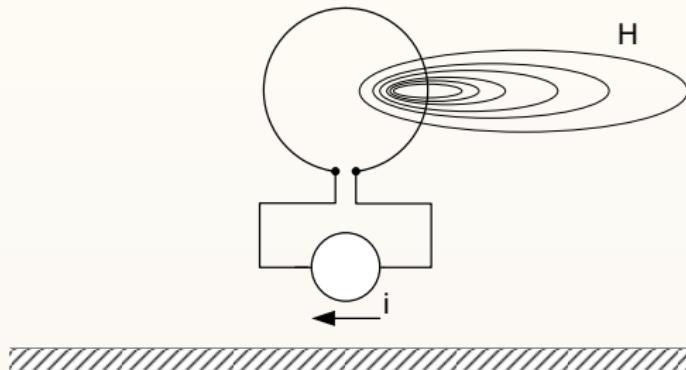
Compatibilité ElectroMagnétique (CEM)

CEM : Compatibilité ElectroMagnétique.

- ▶ Étudier les perturbations électromagnétiques générées par un circuit électronique.
- ▶ Vérifier l'immunité d'un circuit électronique vis à vis des perturbations électromagnétiques.

Types de perturbation :

- Champ magnétique



Compatibilité ElectroMagnétique (CEM)

Mesure des perturbations électromagnétiques



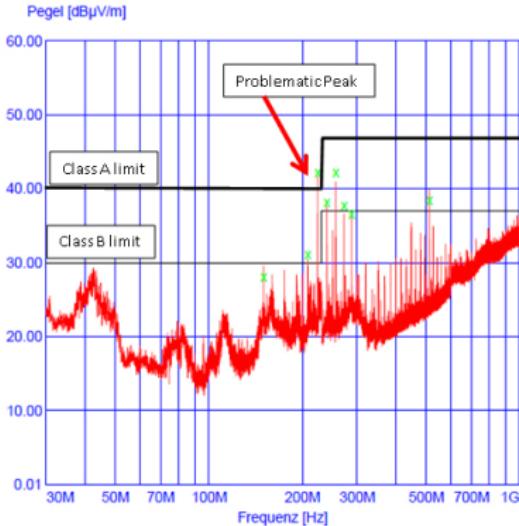
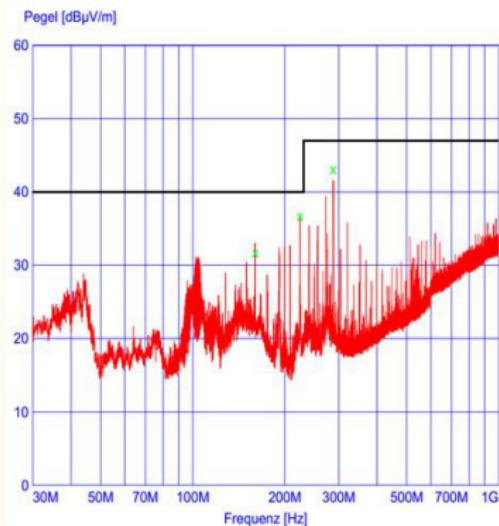
Salle semi-anéchoïque (CEM U.Lg.)

À HF : les champs E et H sont indissociables
→ onde électromagnétique

On mesure l'intensité de signal émis sur une largeur de spectre allant de 30MHz à 1GHz.

Compatibilité ElectroMagnétique (CEM)

Analyse spectrale du rayonnement électromagnétique.



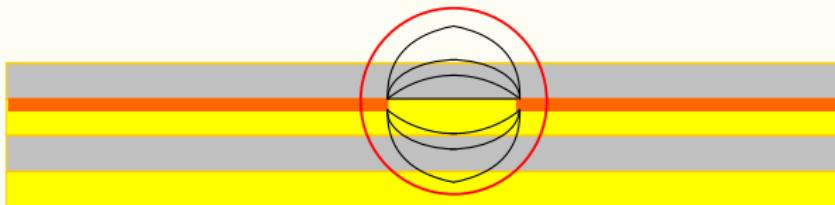
Comment réduire l'intensité du rayonnement électromagnétique ?



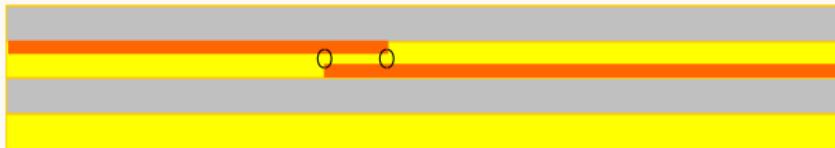
Réaliser un PCB de qualité.

Compatibilité ElectroMagnétique (CEM)

Plans de masse galvaniquement isolés.

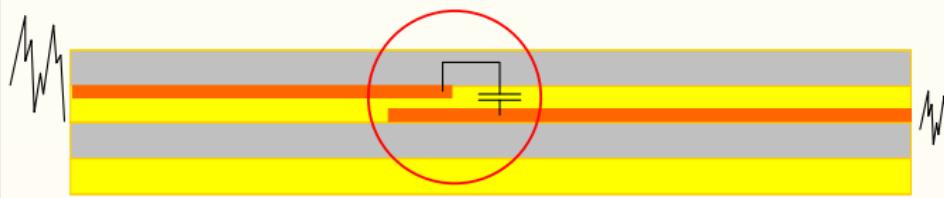


masses galvaniquement isolées trop éloignées
Si possible les faire se recouvrir sur des couches différentes.
→ ATTENTION à l'isolation électrique



Compatibilité ElectroMagnétique (CEM)

Plans de masse analogique - digital.



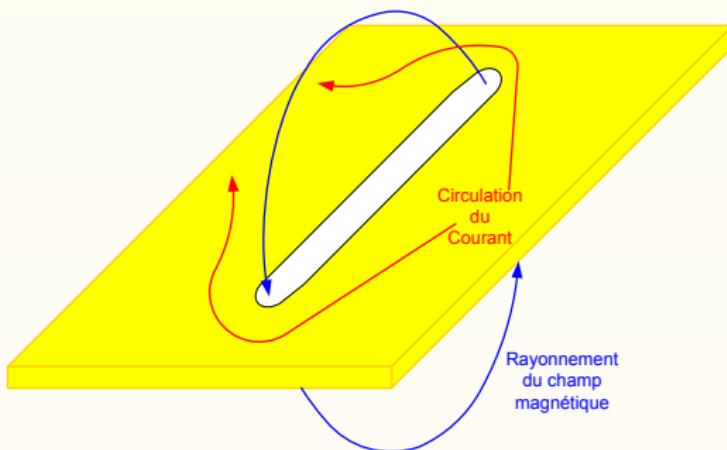
Conduction du bruit par couplage capacitif.
Éviter le couplage capacitif entre le plan analogique et digital

- ▶ Pas de recouvrement des plans.
- ▶ Liaison en un point unique.



Compatibilité ElectroMagnétique (CEM)

Découpe dans un Plan.

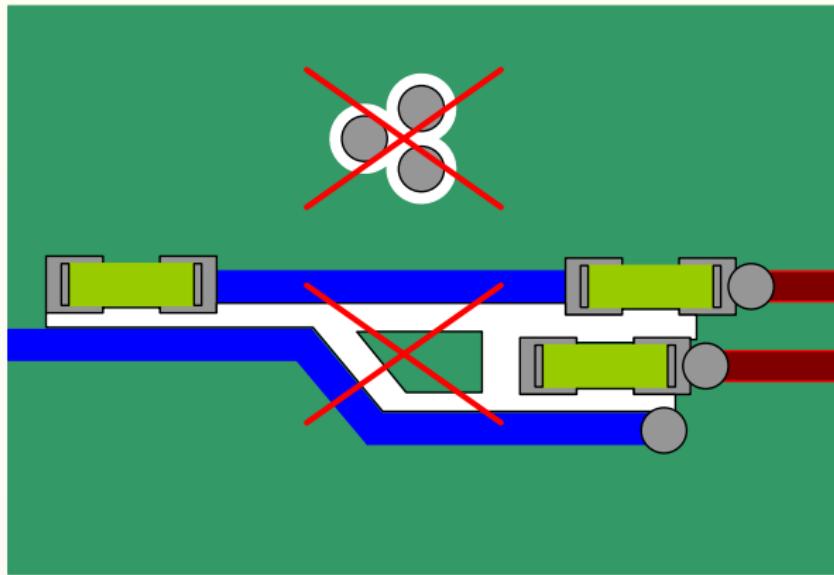


Éviter au maximum les découpes dans un plan de masse.

- ▶ privilégier les autres couches.
- ▶ Utiliser les bords du plan.
- ▶ Utiliser 'internal plane' plutôt qu'un 'polygon Pour'.

Compatibilité ElectroMagnétique (CEM)

Découpe dans un Plan.

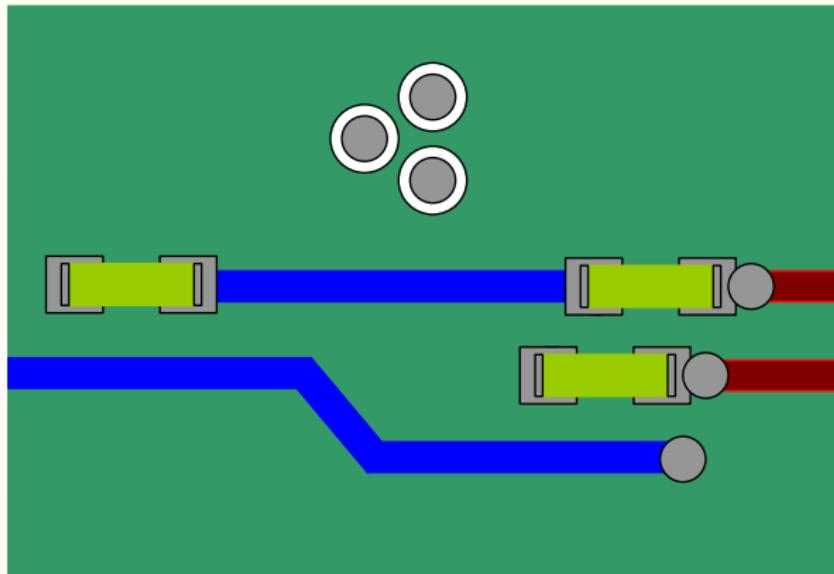


Éviter au maximum les vias, les pistes, les composants non entourés d'un plan.

Ne jamais laisser des îlots sans connexion.

Compatibilité ElectroMagnétique (CEM)

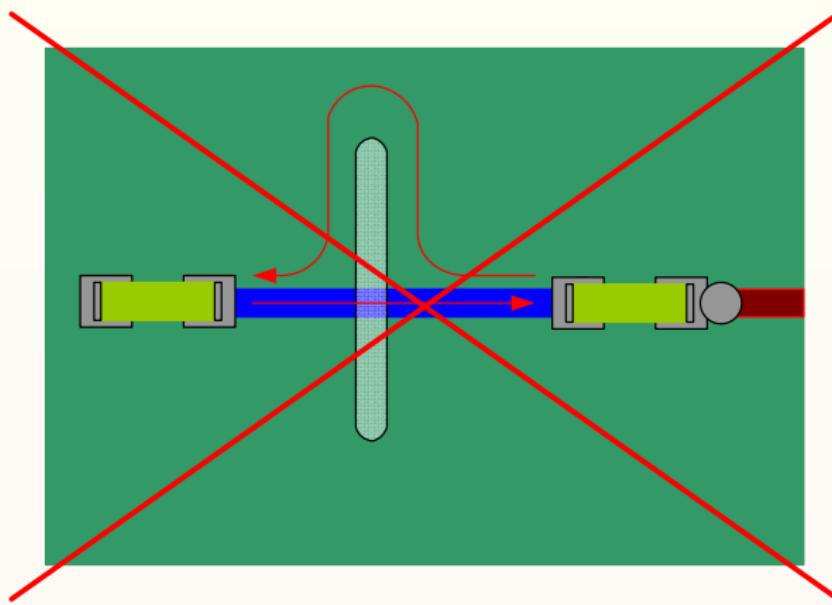
Découpe dans un Plan.



Espacer suffisamment les vias, les pistes, les composants.
Utiliser l'option 'Remove dead copper'

Compatibilité ElectroMagnétique (CEM)

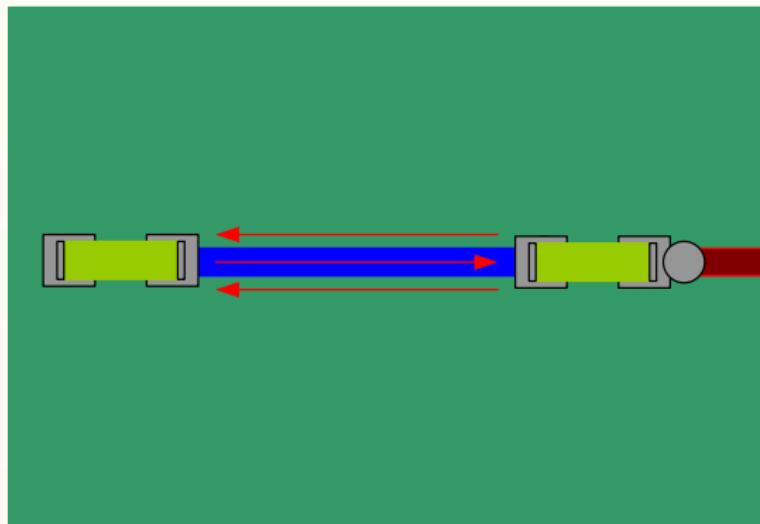
Courant de retour.



Le courant de retour ne suit pas le même chemin qu'à l'aller.
Pas d'annulation du champ magnétique.

Compatibilité ElectroMagnétique (CEM)

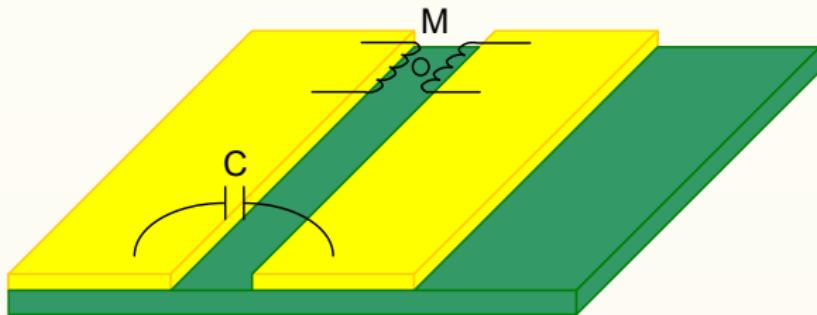
Courant de retour.



Toujours s'assurer que le chemin de retour du courant suit la piste qui boucle ce même courant.

Compatibilité ElectroMagnétique (CEM)

La diaphonie.



Par couplage capacitif.

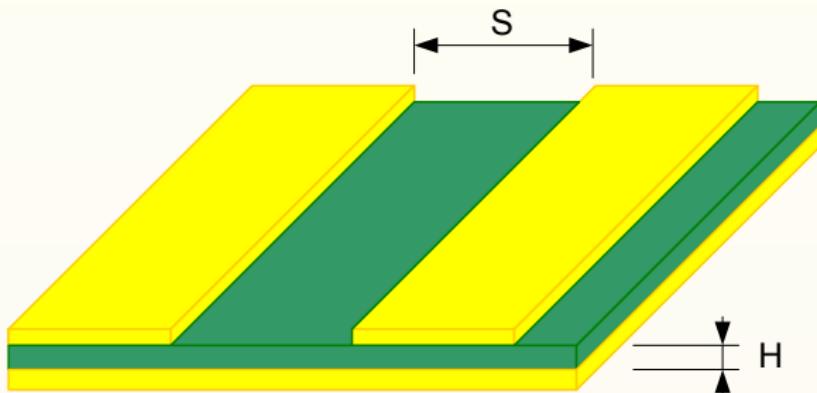
$$I = C \frac{dU}{dt}$$

Par couplage inductif.

$$U = -M \frac{dI}{dt}$$

Compatibilité ElectroMagnétique (CEM)

La diaphonie.

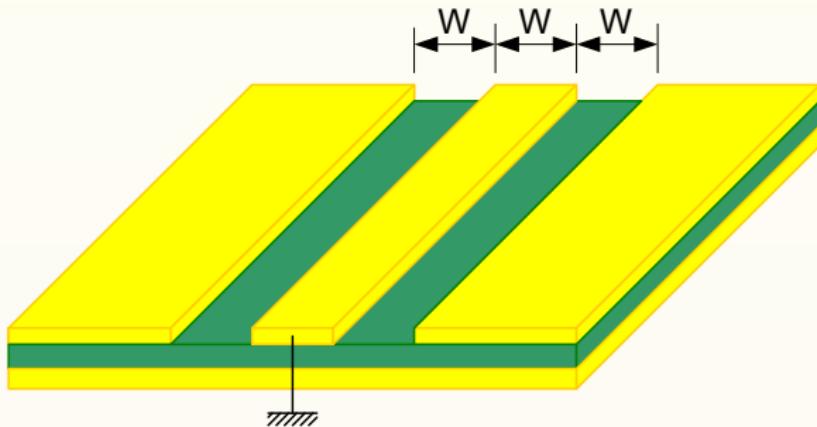


Espacer suffisamment les pistes.

- ▶ sans plan de masse $S > 3T$ (4 mil pour $T=35\mu m$)
- ▶ avec plan de masse $S > 2H$

Compatibilité ElectroMagnétique (CEM)

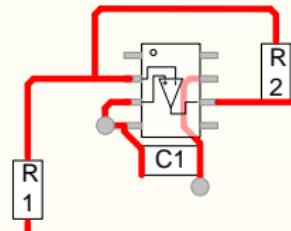
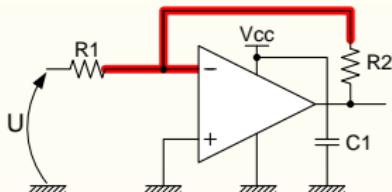
La diaphonie.



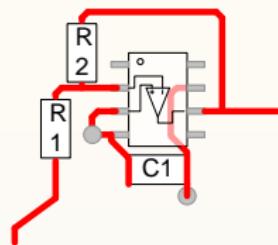
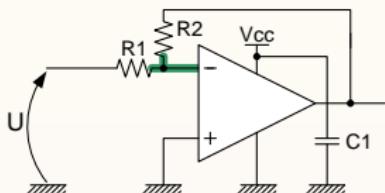
Placer une piste écran raccordée au 0 V.
Anneau de garde.

Compatibilité ElectroMagnétique (CEM)

Routage des pistes à haute impédance.



Minimiser la longueur des pistes à haute impédance.



Logiciels de routage

Logiciels de routage

Logiciels payants.



Très complet et très performant.

<http://www.altium.com/>



Version 'lite' d'Altium (compatible Sch).

<http://www.circuitstudio.com/>



Très complet et très performant.
Editeur Autodesk (2016).

<http://www.autodesk.com/products/eagle/overview>

Logiciels de routage

Logiciels libres.



The screenshot shows the gEDA PCB interface. At the top, there are three tabs: 'PCB' (highlighted), 'gEDA', and 'PCB'. On the left, a sidebar titled 'Information' lists various links such as 'How to install', 'How to use', 'Documentation', 'FAQ', 'Forum', 'How to get PCB', 'How to get Schematic', 'Links', 'Download', 'Help', 'About', 'About gEDA', 'About gEDA Project Page', 'SourceForge Project Page', and 'gEDA Home Page'. The main area displays two windows: one for the schematic (left) and one for the PCB layout (right).

Pas facile d'utilisation.

<http://pcb.geda-project.org/>



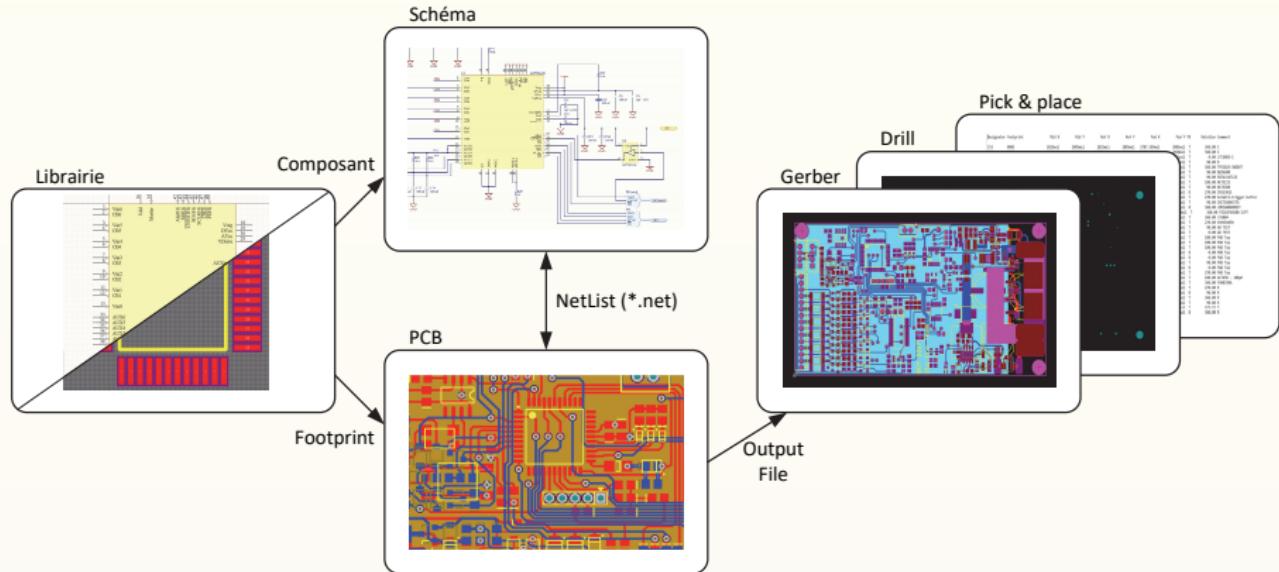
The screenshot shows the KiCad EDA interface. At the top, it says 'KiCad EDA' and 'A Cross Platform and Open Source Electronics Design Automation Suite'. Below the title, there are two tabs: 'Schematic' (highlighted) and 'PCB Layout'. The main area displays two windows: one for the schematic (left) and one for the PCB layout (right). A sidebar on the left includes sections for 'Static Capture' (with a note about the netlist editor) and 'PCB Layout'.

Très performant (CERN).
Très grosse communauté.

<http://kicad-pcb.org/>

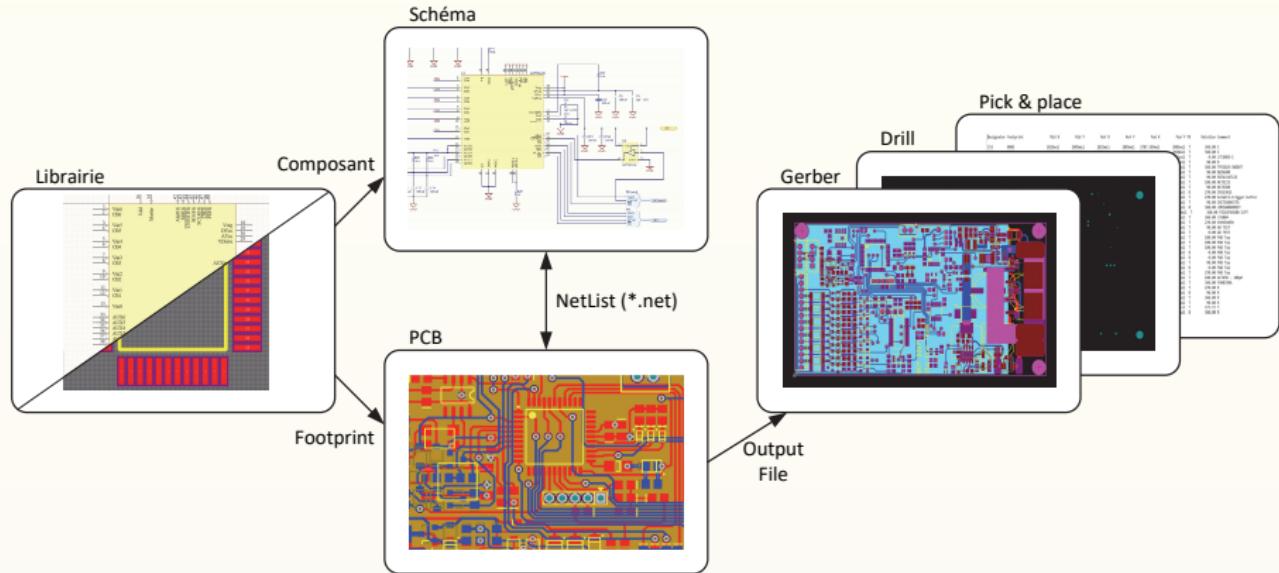
Logiciels de routage

Le logiciel - Principes.



Logiciels de routage

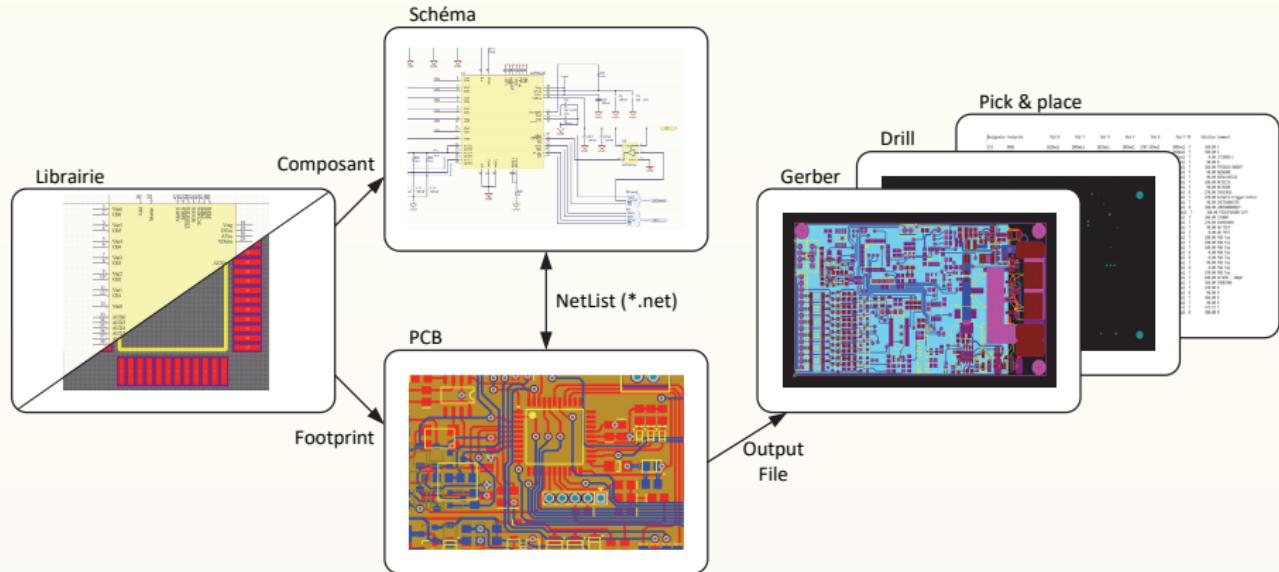
Le logiciel - Principes.



La librairie établit le lien entre la représentation symbolique du composant et l'empreinte du composant

Logiciels de routage

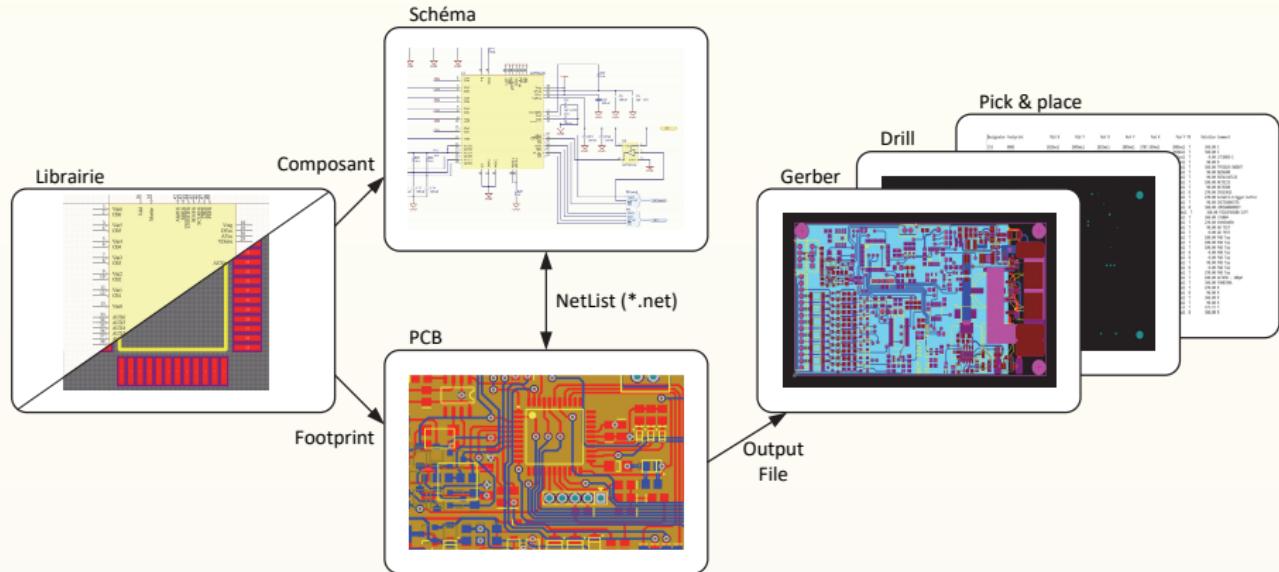
Le logiciel - Principes.



Le schématique regroupe l'ensembles des représentations symboliques des composants ainsi que les liens entre ceux-ci. Possibilité d'ajouter des règles de routage, fiducial, etc ...

Logiciels de routage

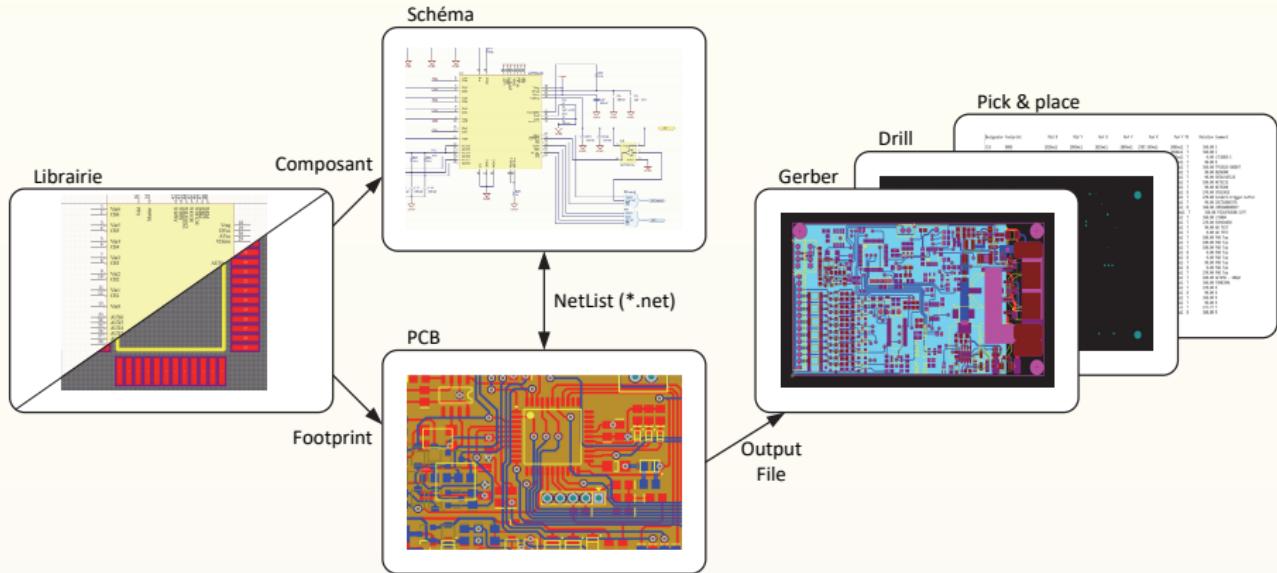
Le logiciel - Principes.



La Netlist est une formalisation des connections entre les différents composants. Elle peut aussi contenir des règles de routage.

Logiciels de routage

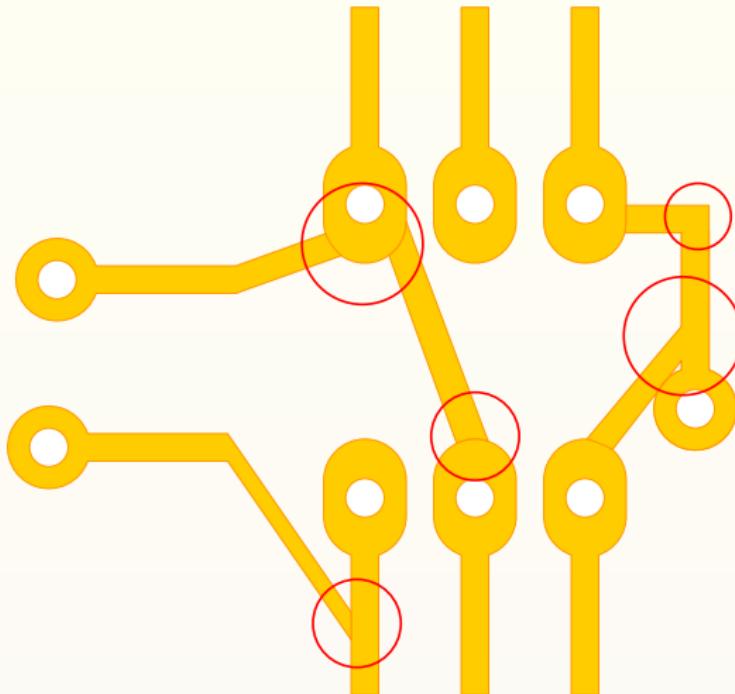
Le logiciel - Principes.



Pour fabriquer un PCB il faut un fichier 'Gerber' par couche utilisée ainsi qu'un fichier 'CNC drill'.

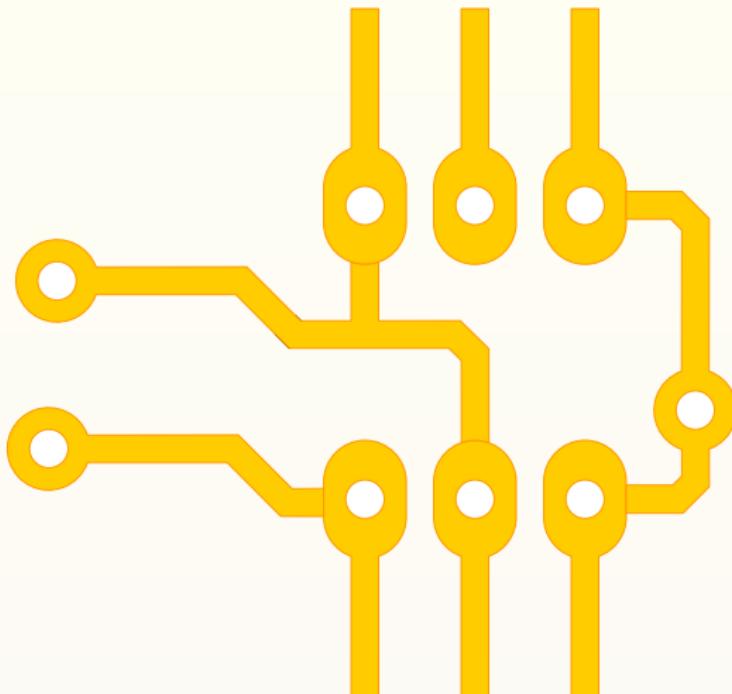
Règles de dessin

Règles de dessin



piste : uniquement horizontales, verticales, 45° , arc.
pastilles allongées : pas de connexions obliques !

Règles de dessin

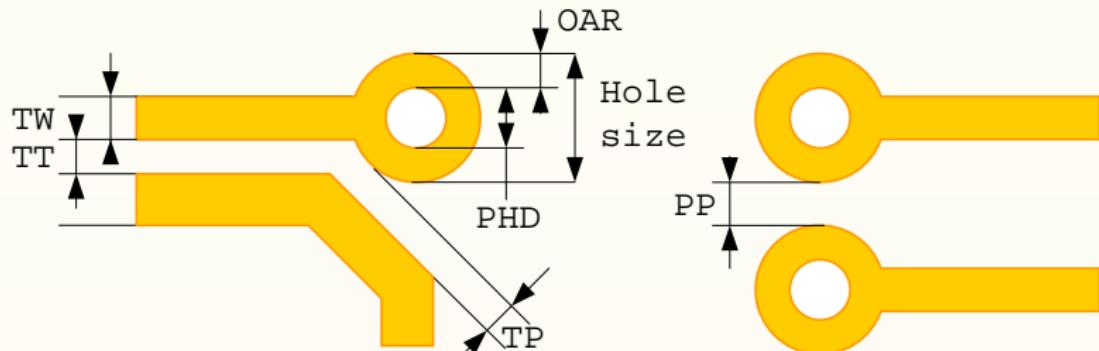


Connexions entre les pastilles et les pistes correctes.

Règles de dessin

Régles de routage - réalisation à Montefiore

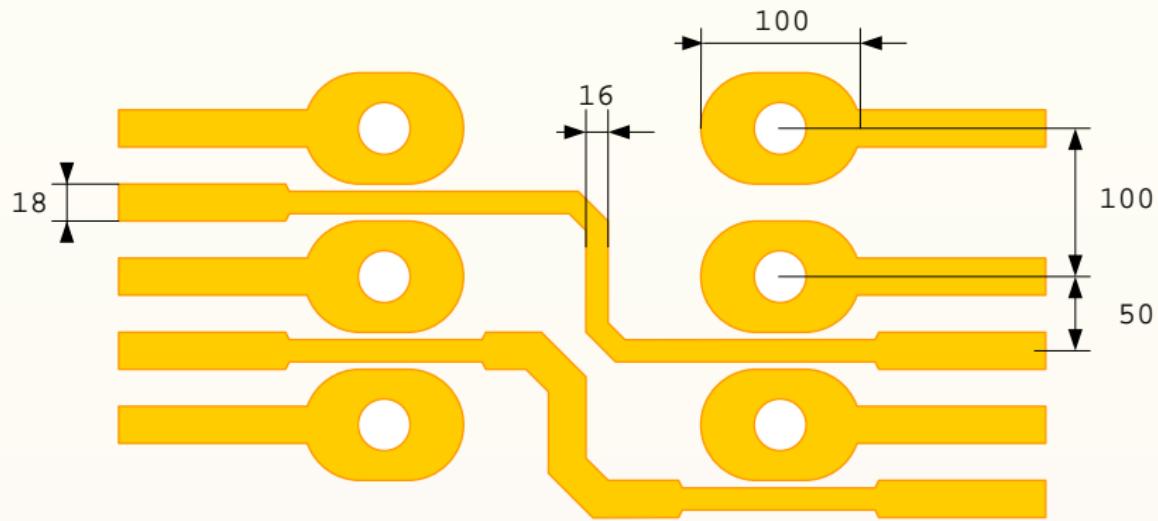
$$1 \text{ mil} = 1 \text{ pouce}/1000 = 25.4 \mu\text{m}$$



TW	Track Width	16 mils
TT	Track to Track	12 mils
TP	Track to Pad	12 mils
PP	Pad to Pad	12 mils
PHD	Production Hole Diameter	27,5 mils(0.7mm)
OAR	Outer layer Annular Ring	16 mils
PAD size		60 mils

Règles de dessin

Régles de routage - réalisation à Montefiore



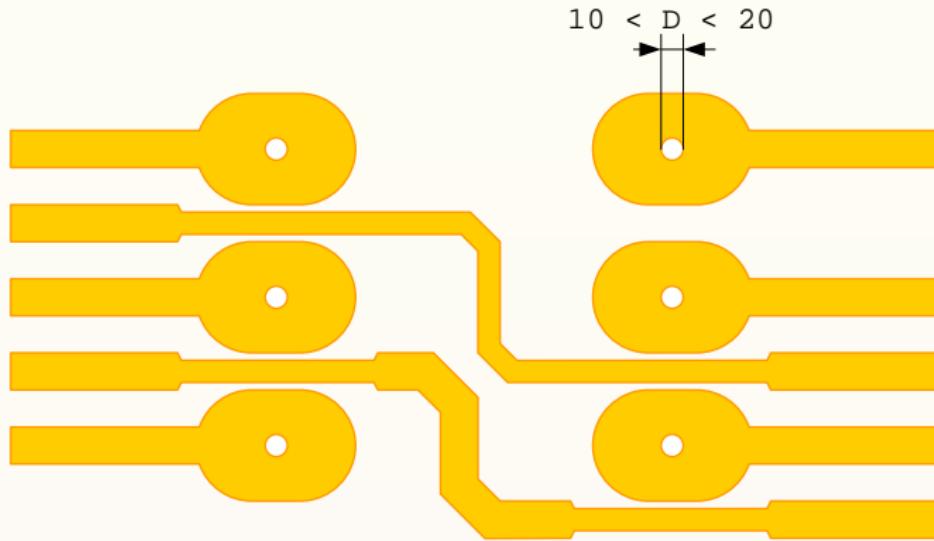
Toutes les cotations sont en mil.

Pastille des I.C. 100×60 mils.

La largeur de piste dépend du courant circulant dans la piste.

Règles de dessin

Régles de routage - réalisation à Montefiore

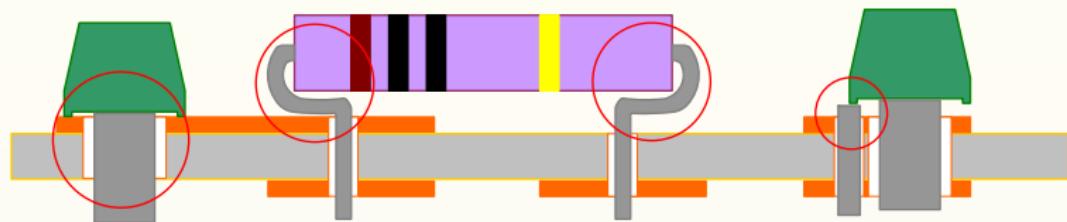


Pour une réalisation à Montefiore, on fixe
tous les trous à 18 mils.
→ Ceci pour guider la mèche de perçage.

Règles de dessin

Régles de routage - réalisation à Montefiore

On ne sait pas réaliser de métalisation



ATTENTION : vérifier l'emplacement des pads \Leftrightarrow soudures.

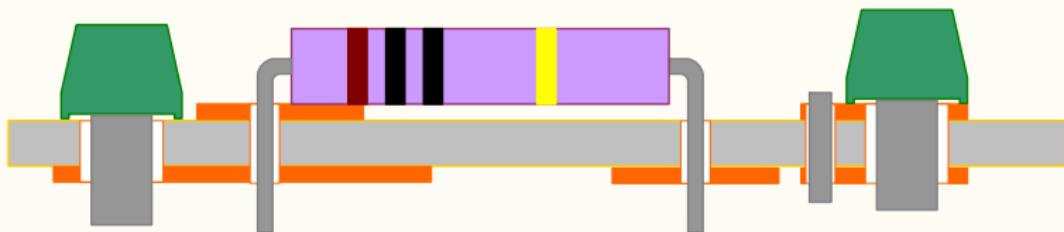
Éviter de forcer lors de l'insertion de composants.

ATTENTION : à la position des vias \Leftrightarrow composants.

Règles de dessin

Régles de routage - réalisation à Montefiore

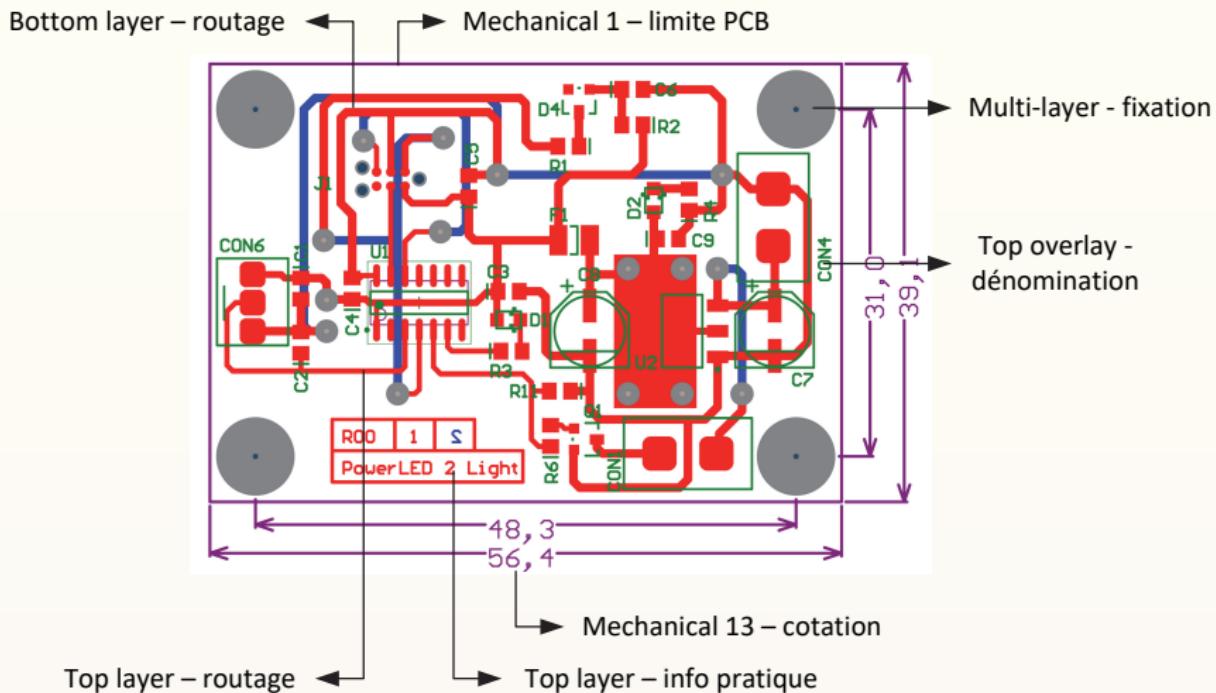
On ne sait pas réaliser de métalisation



Ne jamais dessiner un circuit électronique prototype **trop petit**.
Une carte format EURO : 100×160 mm.

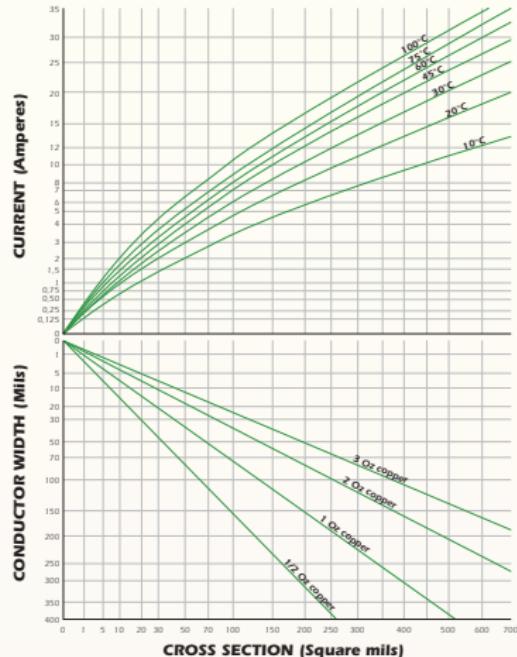
Règles de dessin

Régles de routage - à ne pas oublier



Règles de dessin

$$I = k \times A^{0.725} \times \Delta T^{0.44}$$



I

A

ΔT

k

Intensité maximum

Section de la piste (en mils²)

Augmentation de température ma-

0.048 pour une piste externe

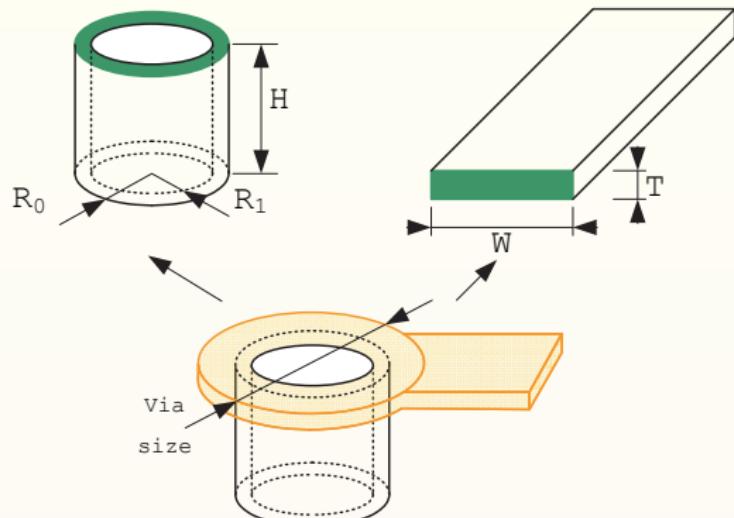
0.024 pour une interne

$$1 \text{ once} = 28.349 \text{ g}$$

poids (oz)	épaisseur du cuivre(μm)
1/4	9
1/2	18
1	35
2	70
3	105

Règles de dessin

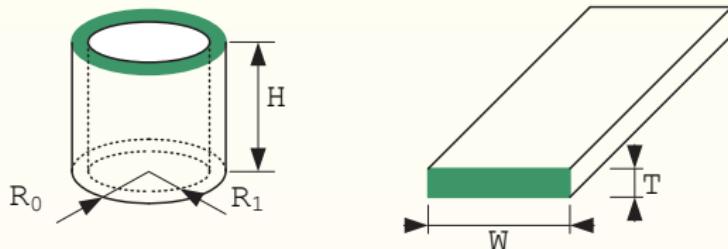
Calcul du diamètre d'un via.



$$S_{via} = S_{piste}$$

Règles de dessin

Calcul du diamètre d'un via.



$$\pi \times (R_0^2 - R_1^2) = T \times W$$

$$\text{avec } R_0 = R_1 + \alpha$$

$$\text{avec } \alpha = 20\mu\text{m} \text{ et } T = 35\mu\text{m}$$

$$D1 = 0.557 \times W$$

W	D1	Via size	W	D1	Via size
4	2.2	17	18	10	24
8	4.5	19	24	13.4	28
10	5.5	20	30	17	31
12	6.7	21	50	28	42
16	8.9	23	100	55	69

Règles de dessin



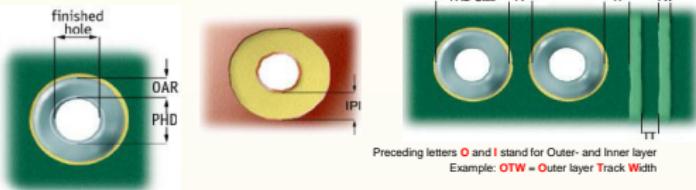
Eurocircuits - PCB design classification overview

Pattern Class	class 3		class 4		class 5		class 6		class 7		class 8		class 9		class 10	
	Service	P+S+Rel	P+S+R+I	Service	P+S+Rel	P+S+R+I	Service	P+S+Rel	P+S+R+I	Service	S+R	S+R	S+R	S+R	-	
OTW	0.250	10	0.200	8	0.175	7	0.150	6	0.125	5	0.100	4	0.090	3.5	<0.090	<3.5
OTT-OTP-OPP	0.250	10	0.200	8	0.175	7	0.150	6	0.125	5	0.100	4	0.090	3.5	<0.090	<3.5
OAR	0.200	8	0.150	6	0.150	6	0.125	5	0.125	5	0.100	4	0.100	4	<0.100	<4
ITW	0.250	10	0.200	8	0.175	7	0.150	6	0.125	5	0.100	4	0.090	3.5	<0.090	<3.5
ITT-ITP-IPP	0.250	10	0.200	8	0.175	7	0.150	6	0.125	5	0.100	4	0.090	3.5	<0.090	<3.5
IAR	0.200	8	0.150	6	0.150	6	0.125	5	0.125	5	0.125	5	0.125	5	<0.125	<5
IPI	0.275	11	0.225	9	0.225	9	0.200	8	0.200	8	0.200	8	0.200	8	<0.200	<8

The smallest value (OTW, OTT-OTP-OPP, OAR, ITW, ITT-ITP-IPP, IAR, IPI) determines the **Pattern Class** of the board

Base Cu	min Pattern values		
	Base Cu OL	OTT-OTP-OPP	OTW
12µm	1/oz	0.090	3.5
18µm	1/oz	0.125	5
35µm	1oz	0.175	7
70µm	2oz	0.250	10
105µm	3oz	0.300	12

Base Cu IL	min Pattern values		
	ITT-ITP-IPP	ITW	
12µm	1/oz	0.090	3.5
18µm	1/oz	0.100	4
35µm	1oz	0.125	5
70µm	2oz	0.250	10
105µm	3oz	0.300	12



Preceding letters **O** and **I** stand for Outer- and Inner layer
Example: **OTW** = Outer layer Track Width

OAR : smallest **OAR** (Outer layer Annular Ring = 1/2 (Outer layer pad diameter - PHD))
IAR : smallest **IAR** (Inner layer Annular Ring = 1/2 (Inner layer pad diameter - PHD))

IPI (Inner layer Pad Insulation) : Clearance between edge **PHD** of any unconnected hole(PTH/NPTH) and any nearest copper

Smallest **PHD** : Production Hole Diameter or tool size = finished hole size + 0.10mm/4mil for **Plated Through Holes**
+ 0.00mm/0mil for **Non Plated Through Holes**

Drill Class	class A		class B		class C		class D		class E		class F	
	Service	P+S+Rel	P+S+R	Service	P+S+R	P+S+R	Service	S+R	S+R	S+R	S+R	-
min PHD	0.60	0.026	0.45	0.018	0.35	0.014	0.25	0.010	0.20	0.008	<0.20	<0.008 mm-inch
PTH	0.50	0.022	0.35	0.014	0.25	0.010	0.15	0.006	0.10	0.004	<0.10	<0.004 mm-inch
NPTH	0.60	0.026	0.45	0.018	0.35	0.014	0.25	0.010	0.20	0.008	<0.20	<0.008 mm-inch



The smallest value (**PHD**) determines the **Drill Class** of the PCB

Max. PCB thickness to Drill Class	3.20	0.125	3.20	0.125	2.40	0.093	2.00	0.079	1.60	0.062	mm-inch	Aspect ratio is 1 / 8
-----------------------------------	------	-------	------	-------	------	-------	------	-------	------	-------	---------	-----------------------

Note A: VIA holes are **Plated Through Holes**, default defined as <0.45mm (18mil) for all services or < as defined by the customer in the order details.

VIA holes have a maximum negative tolerance of 0.30mm (12mil).

Note B: This classification table can only be put into praxis on PCB designs that have a **Plating Index of 0.40 or higher**. This is calculated in the PCB Visualizer analysis and displayed in the PCB Visualizer order details.

Services Index : P = PCB proto S = STANDARD pool R = RF pool I = IMS pool

Règles de dessin

HDI DESIGN RULES: Classification

UNITS = μm	Design Rules	Version 11/11/2010	ACB group	STANDARD Classification												ADVANCED or ENGINEERING			
				Classification															
				3	4	5	6	7	8	9	10	11	12						
Track & Gap	min Track to Track (TT) / Track to Pad (TP) / Pad to Pad (PP) Thermal Line Width (TW)			300	200	150	120	100	100	85	75	60	<						
	min Track Width (MTW) / min Thermal Gap (GAP)			300	200	150	120	100	100	85	75	60	<						
	Local fan out density (allowed on 10 % of the surface)			N/A	N/A	120	100	100	85	75	60	50	<						
Ring for IPC Class 2	min Plated Layer Annular Ring (OAR) on Production Hole Diameter (PHD)			200	175	150	120	100	100	75	75	60	<						
	min Inner Layer Annular Ring (IAR) / Thermal Annular Ring on PHD			225	200	175	145	125	125	100	100	85	<						
Ring for IPC Class 3	min Plated Layer Annular Ring (OAR) on Production Hole Diameter (PHD)			250	225	200	170	150	150	125	125	110	<						
	min Inner Layer Annular Ring (IAR) / Thermal Annular Ring on PHD			250	225	200	170	150	150	125	125	110	<						
Aspect Ratio	max aspect ratio PTH: see table (Thickness / PHD)			see table				see table				see table				see table			
Example for PCB with thickness 1.6mm																			
Hole diameter	min PHD			500	450	400	350	300	250	250	200	150	<						
IPC Class 2	min Plated Layer Pad Diameter			900	800	700	590	500	450	400	350	270	<						
	min Inner Layer Pad Diameter			950	850	750	640	550	500	450	400	320	<						
IPC Class 3	min Plated Layer Pad Diameter			1000	900	800	690	600	550	500	450	370	<						
	min Inner Layer Pad Diameter			1000	900	800	690	600	550	500	450	370	<						
µvia	min via top pad size							350	300	300	275	250	250	<					
	min via landing pad size							350	300	300	275	220	220	<					
	µvia diameter with dielectric 1 x 1080 prepreg							125	125	125	110	100	100	<					
	µvia diameter with dielectric 2 x 106 prepreg (default)							150	150	150	130	N/A	N/A	<					
	µvia diameter with dielectric 2 x 1080 prepreg							175	175	175	150	N/A	N/A	<					
Drill - Cu	max number of laserruns / side							1	2	3	4	4	4	>					
	distance PTH to Cu on inner layers (= TT/TP/PP + IAR class 2)			525	400	325	265	225	225	185	175	145	<						
	distance PTH to PTH (= TT + 2 x IAR class 2 for standard)			750	600	500	410	350	350	285	275	230	<						
	distance NPTH drill to Cu on inner layers (NPTH Routing always > 250 μm)			IAR + 25	IAR + 25	IAR + 25	IAR + 25	IAR + 25	IAR + 25	IAR + 25	IAR + 25	IAR + 25	<						
	distance NPTH to Cu on outer layers (NPTH Routing always > 200 μm)			350	300	250	200	200	200	150	100	75	<						
Cu Thickness	maximum total cu thickness that can be etched (no minimum) (Same trackwidth & bigger gap increases this value)			105	70	60	50	35	35	20	15	15	<	If Cu thickness is higher than the maximum for a class, class > class + 1					
Solder Mask	solder mask annular ring (MAR) & conductor overlap (MOC): typical			150	100	75	60	50	50	42,5	37,5	30	<						
	solder mask annular ring (MAR) & conductor overlap (MOC): exceptional			100	70	50	43,5	37,5	30	25	25	25	<						
	solder mask min segment (MSM) (If ACB creates SM, MSM >= 100)			200	150	125	100	100	100	87	87	75	<						

► PHD = Production Hole Diameter = Final hole size + 100 for Component Holes if tolerance is symmetrical (+ 150 for HASL) ► PHD = Production Hole Diameter = Final hole size for Via Holes



Prototypes, Ramp-up volume and small batch PCB production
PCB Layout Services
PCB NPI Services

Plant Dendermonde	Phone	+32-52-202030	RFQ&Orders	acb@acb.be
Vosmeer 3	Fax	+32-52-259940	Data	ftp.acb.be
BE-9200 Dendermonde	E-mail	acb@acb.be	Web	www.acb.be

